

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-013910  
(43)Date of publication of application : 19.01.2001

(51)Int.CI.

G09G 3/28  
G09G 3/20

(21)Application number : 11-180832  
(22)Date of filing : 25.06.1999

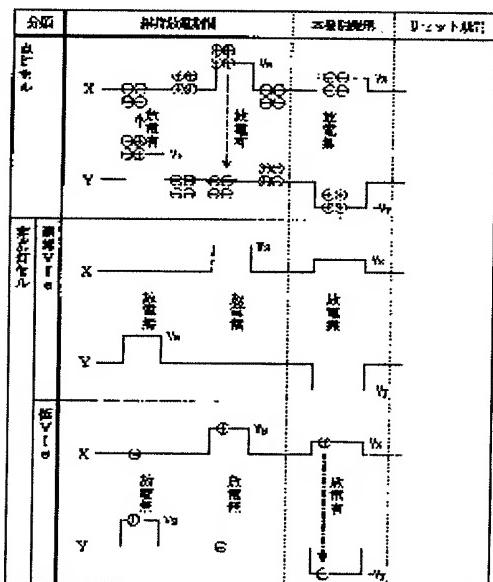
(71)Applicant : FUJITSU LTD  
(72)Inventor : NAGAOKA YOSHIMASA  
UCHIYAMA KOICHIRO  
TAKAMORI TAKAHIRO

## (54) DRIVING METHOD OF PLASMA DISPLAY PANEL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a driving method, which prevents malighting of a non-turned on cell, by providing a first discharging process that applies a specific voltage between first and second electrodes.

**SOLUTION:** A low  $V_{fe}$  non-turned on cell is normally in a condition in which no wall electric charge exists because no maintaining discharge is conducted during a maintaining discharge period. However, there is a case in which slight amount of wall electric charges exists by the effect of discharges made by the turned on cells located at the top and the bottom and the right and the left of the non-turned on cell. OC pulses have a positive pulse to be applied to an X electrode and a negative pulse to be applied to a Y electrode. The applied voltages are set not to exceed a discharge starting voltage. However, the voltages are added by residual wall electric charges at the completion time of the maintaining discharge period. If the amount of finite wall electric charges is large, the potential between the electrodes exceeds as discharge starting voltage, discharges take place by the OC pulses and wall electric charges are formed. At that time, the cell has approximately the same wall electric charges of a normal turned on cell. Therefore, a complete erasing is conducted by the erasing discharge in a rest period later.



## LEGAL STATUS

[Date of request for examination] 24.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-13910

(P2001-13910A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/28  
3/20

識別記号

6 1 1  
6 7 0

F I

G 0 9 G 3/28  
3/20

テマコート<sup>TM</sup>(参考)  
H 5 C 0 8 0  
6 1 1 H  
6 7 0 E

審査請求 未請求 請求項の数1 O.L (全 13 頁)

(21)出願番号 特願平11-180832

(22)出願日 平成11年6月25日(1999.6.25)

(71)出願人 000005223

富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 長岡 康真

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 内山 孝一郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100072590

弁理士 井桁 貞一

最終頁に続く

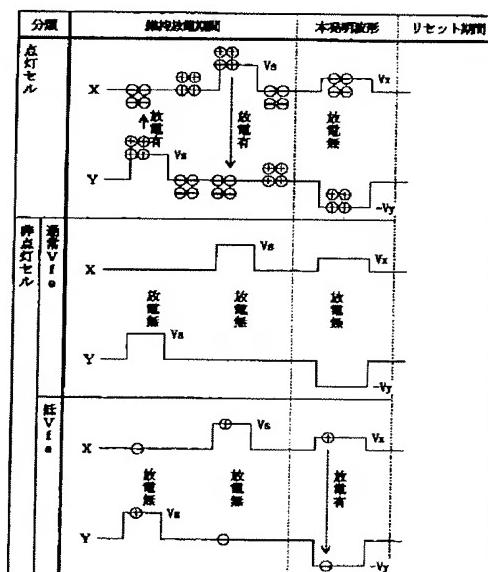
(54)【発明の名称】 プラズマディスプレイパネルの駆動方法

(57)【要約】 (修正有)

【課題】非点灯セルの誤点灯を防止する。

【解決手段】並行する第1、第2の電極と、これに交差する第3の電極を複数配置し、交差領域の放電セルをマトリクス状に配置し、その壁電荷分布を均一にするリセット期間と、表示データに応じて放電セルに壁電荷を蓄積して点灯セルを形成するアドレス期間と、点灯セルを点灯させる維持放電期間とを有し、リセット期間は、直前の維持放電期間において非点灯で、壁電荷を蓄積している放電セルにおいて放電を実施する第一の放電工程と、その後に壁電荷を蓄積している放電セルにおいて放電を実施し壁電荷を消去する第二の放電工程とを含み、第一の放電工程は直前の維持放電期間に点灯した点灯セルに蓄積されている壁電荷と逆極性であり、放電開始電圧未満で、かつアドレス期間における第1、第2の電極間の電位差以上の電圧を、両電極間に印加する。

非点灯セルのみを放電させる本発明技術の原理図



## 【特許請求の範囲】

【請求項1】並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極に交差するように第3の電極が複数配置され、各電極の交差領域で規定される放電セルがマトリクス状に配置されてなり、複数の該放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて任意の放電セルに壁電荷を蓄積して点灯セルを形成するアドレス期間と、該点灯セルにおいて維持放電を実施して該点灯セルを点灯させる維持放電期間とを有し、

該リセット期間、アドレス期間、及び維持放電期間を繰り返し実行することにより表示を行うプラズマディスプレイパネルの駆動方法であって、

前記リセット期間は、

直前の維持放電期間において非点灯であり、かつ壁電荷を蓄積している放電セルにおいて放電を実施する第一の放電工程と、

前記第一の放電工程後に、壁電荷を蓄積している放電セルにおいて放電を実施し、該壁電荷を消去する第二の放電工程とを含み、

前記第一の放電工程は、直前の維持放電期間において点灯した前記点灯セルに蓄積されている壁電荷と逆極性であり、放電セルにおける放電開始電圧未満で、かつ前記アドレス期間における該第1及び第2の電極間の電位差以上の電圧を、該第1及び第2の電極間に印加するものであることを特徴とするプラズマディスプレイパネルの駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】近年、各種ディスプレイ装置においては、表示すべき情報や設置条件の多用化、大画面化及び高精細化が著しい。従ってこれらに用いられるプラズマディスプレイパネル（以下PDP）、CRT、LCD、EL、蛍光表示管、発光ダイオード等の表示装置においては、これらの傾向に対応すべく、表示品質の向上が求められている。上記の表示装置の内、PDPはちらつきが無い、大画面化が容易である、高輝度、長寿命等の優れた特長を有する事から、最近盛んに開発が行われている。

【0002】PDPには、2本の電極で選択放電（アドレス放電）および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型がある。階調表示を行うカラーPDPでは、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の2電極型では、蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。これを回避するために、現在のカラーPDPでは、面放電

を利用した3電極構造が一般に用いられている。さらに、この3電極型においても、第3の電極を維持放電を行う第1と第2の電極が配置されている基板に形成する場合と、対向するもう一つの基板に配置する場合がある。また、同一基板に前記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。さらに、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合（透過型）と、蛍光体からの反射を見る場合（反射型）がある。

【0003】また、放電を行うセルは、障壁（リブ、バリア）によって、隣接セルとの空間的な結合が断ち切られている。この障壁は、放電セルを取り囲むように四方に設けられ完全に密封されている場合、一方向のみに設けられ、他方は、電極間のギャップ（距離）の適正化によって結合が切られている場合等がある。

【0004】本発明は、上記に記した各種方式のプラズマディスプレイパネル（Plasma Display Panel：PDP）の駆動方法に関する。中でも本明細書では、維持放電を行う電極の基板とは別な対向する基板に第3の電極を形成するパネルで、障壁が垂直方向（つまり、第1電極と第2電極に直交し、第3電極と平行）にのみ形成され、維持電極の一部が透明電極によって構成されている反射型の例をもとに説明する。

## 【0005】

【従来の技術】図7は、3電極・面放電・AC型PDPの概略的平面図である。また図8は3電極・面放電・AC型PDPの概略的断面図（その1）であり、図7のパネルの一つの放電セルにおける垂直方向の断面図を示している。同様に図9は3電極・面放電・AC型PDPの概略的断面図（その2）であって、同水平方向の概略的断面図を示している。

【0006】パネル1は、2枚のガラス基板によって構成されている。前面ガラス基板4aには、平行する第1、第2の維持電極であるX、Y電極11、12が設けられており、これらの電極は透明電極6bとバス電極6aによって構成されている。透明電極6bは蛍光体5からの反射光を透過させる役割があるため、ITO（酸化インジウムを主成分とする透明の導体膜）等によって形成される。また、バス電極6aは、電極抵抗による電圧ドロップを防ぐため、低抵抗で形成する必要があり、CrやCuによって形成される。さらにそれらを、誘電体層（ガラス）7で被覆し、放電面には保護膜としてMgO（酸化マグネシウム）膜8が形成される。また前記前面ガラス基板4aと向かい合う背面ガラス基板4bには、第3の電極としてのアドレス電極13が、維持電極（X、Y電極11、12）と直交する形で形成され、維持電極と共にセル2を規定している。また、アドレス電極13間に障壁3が設けられ、その障壁3の間には、アドレス電極13を覆う形で赤、緑、青の発光特性

を持つ蛍光体5を形成される。障壁3の尾根と、MgO 8面が密着する形で2枚のガラス基板が組み立てられている。

【0007】図10は、アドレス／維持放電分離型・書き込みアドレス方式のタイムチャートである。アドレス／維持放電分離型・書き込みアドレス方式では、全画面のアドレス放電をまとめて実施するアドレス期間と、全画面の維持放電をまとめて実施する維持放電期間とが分離されている。そしてアドレス期間に先立つリセット期間において全画面上で壁電荷を一旦消去し、後続するアドレス期間において表示データに応じて選択的に壁電荷の書き込みを実施する。

【0008】この例では、1フレームを4個のサブフィールド(SF1、SF2、SF3、SF4)に区分し、これらのサブフィールドにおける維持放電期間の長さの比を、1:2:4:8の比率としている。アドレス／維持放電分離型・書き込みアドレス方式においては、維持放電期間の長短、つまり、維持パルスの回数によって、輝度が決定される。従って、点灯させるサブフィールドを選択することで、0から15までの16段階の輝度の違い(階調)を実現することができる。

【0009】なお各サブフィールドの維持放電期間の長さの比は、必ずしも2<sup>n</sup>に限定されるものではなく、適宜設定することが可能である。

【0010】次に図11は3電極・AC型PDPを駆動するための周辺回路を示す概略的ブロック図であり、図7に示したPDPを駆動するための周辺回路を示している。

【0011】アドレス電極(A<sub>1</sub>～A<sub>M</sub>)は1本毎にアドレスドライバ60に接続され、アドレスドライバ60によってアドレス放電時のアドレスパルスが印加される。また、Y電極(Y<sub>1</sub>～Y<sub>N</sub>)は個別にYスキャンドライバ50に接続される。Yスキャンドライバ50はY側共通ドライバ70に接続されており、アドレス放電時のスキャンパルスはYスキャンドライバ50から発生し、維持パルス等はY側共通ドライバ70で発生し、Yスキャンドライバ50を経由して、Y電極に印加される。X電極はパネル1の全表示ラインに渡って共通に接続され取り出される。X側共通ドライバ40は、書き込みパルス、維持パルス等を発生する。

【0012】これらのドライバ回路は制御回路20によって制御され、制御回路20は、装置の外部より入力されるVsync(垂直同期信号)、Hsync(水平同期信号)などの同期信号や、DATA(表示データ)、CLOCK(ドットクロック)によって制御される。制御回路20は、フレームメモリ211を備え、アドレスドライバ60を制御するための表示データ制御部21と、その他のドライバを制御するためのパネル駆動制御部22とを備えている。パネル駆動制御部22は、更にYスキャンドライバ50を制御するためのスキャンドラ

イバ制御部221と、Y側共通ドライバ70及びX側共通ドライバ40とを制御する共通ドライバ制御部222とを備えている。またこれらドライバから出力される駆動波形は、駆動波形パターンROM30に記憶されている。

【0013】図12は、第一の従来技術を示す駆動波形図である。同図では、いわゆる従来のアドレス／維持放電期間分離型・書き込みアドレス方式における1サブフィールド期間を示しており、1サブフィールドは、リセット期間とアドレス期間さらに、維持放電期間とに分離される。

【0014】リセット期間においては、まず、全てのY電極が0Vレベルにされ、同時に、X電極に電圧Vs+Vw(約360V)からなる全面書き込みパルスが印加され、以前の表示状態に関わらず、全表示ラインの全セルで放電が行われる。このときのアドレス電極電位は約1000V(Vaw)である。次に、X電極とアドレス電極の電位が0Vとなり、全セルにおいて壁電荷自身の電圧が放電開始電圧を越えて、放電が開始される。この放電は、電極間の電位差が無いため、壁電荷が形成されることはない。空間電荷は自己中和して放電が終息する。いわゆる、自己消去放電である。この自己消去放電によって、パネル内の全セルの状態が、壁電荷の無い均一な状態となる。このリセット期間は、前のサブフィールドの点灯状態に係わらず全てのセルを同じ状態にする作用があり、次のアドレス(書き込み)放電を安定に行うことができる。

【0015】次に、アドレス期間において、表示データに応じた、セルのオン／オフを行うために、線順次でアドレス放電が行われる。まず、Y電極に-Vyレベル(約マイナス150V)のスキャンパルスを印加すると共に、アドレス電極中、維持放電を起すセル、すなわち、点灯させるセルに対応するアドレス電極に電圧Va(約60V)のアドレスパルスが選択的に印加され、点灯させるセルのアドレス電極とY電極の間で放電が起こり、次にこれをプライミング(種火)としてX電極(電圧Vx=50V)とY電極間の放電に即移行する。前者の放電を『プライミングアドレス放電』、後者を『主アドレス放電』と称する。これにより、選択ラインの選択セルのX電極とY電極上のMgO面に維持放電が可能な量の壁電荷が蓄積されて、点灯(オン)セルが形成される。

【0016】以下、順次、他の表示ラインについても、同様の動作が行われ、全表示ラインにおいて、新たな表示データの書き込み(点灯セルの形成)が行われる。

【0017】その後、維持放電期間になると、Y電極とX電極に交互に、電圧がVs(約180V)からなる維持パルスが印加され、点灯セルにおいて維持放電が行われ、1サブフィールドの画像表示が行われる。

【0018】第一の従来例におけるリセット期間では、

直前のサブフィールドにおいて点灯していた放電セルと共に、直前のサブフィールドにおいて点灯しなかった放電セルも毎サブフィールド放電する。この場合、例えば階調値零のセル、つまり黒を表現するセルの場合も1フレーム中に数回放電する事になるので、コントラストの低下を招く事になる。

【0019】図13は第二の従来技術を示す駆動波形図であり、本出願人により発明された駆動法（特願平11-113773号）に基づく駆動波形を示している。

【0020】この駆動法では、リセット期間においてX電極に電圧Vsからなる細幅パルスを印加すると共に、引き続いて電圧Vsからなる鈍波消去パルスを印加することで、前サブフィールドにおける点灯（オン）セルのみリセット放電を行い、非点灯セルのリセット放電を行わないようにしている。

【0021】鈍波消去パルス（SEP：Slope Erase Pulse）は時間と共に印加電圧が変化するパルスであり、電極間に印加される電圧が徐々に増大するため、壁電荷による電位差を含めた電極間電位が各セルにおける放電開始電圧を越えた直後に放電が生じる。従って矩形波が印加された時とは異なり、各セルにて放電が生じた時の電極間電位は放電開始電圧にはば等しく、放電後に新たな壁電荷が蓄積されることなく放電が終了する。鈍波消去パルスによる印加電圧を放電開始電圧未満としておくことにより、壁電荷の残留するセルでは残留壁電荷への印加電圧の重畠により放電が生じ、他のセルでは印加電圧が放電開始電圧に達しないため放電が生じない。

【0022】この手法によるリセット期間では、直前の維持放電期間で点灯しておらず、壁電荷が残留していない放電セルでは、放電は基本的に行われないので、本波形の適用により高いコントラストが実現出来る。

【0023】更に第二の従来技術では、リセット期間にて二度の鈍波消去を実施している。前者は主にXY間の放電を起点に消去が行われるので『XY消去鈍波』、後者は主にAY間の放電を起点に消去が行われるので『AY消去鈍波』と称する。前者は前述のように、前サブフィールドにおける点灯（オン）セルのみリセット放電を行うものであるが、後者は部分的に非点灯セルでの消去をも行っていることが特徴である。すなわち非点灯セルにおいても、周辺の点灯セルの影響を受けて微量の壁電荷が蓄積し、誤動作を生じることがある。後者のAY消去鈍波では、このような微量な壁電荷を消去する効果を有している。引き続いて実施されるアドレス期間と維持放電期間は、図12にて説明した第一の従来技術の場合と同一である。

【0024】なお、第二の従来技術の場合、適正駆動電圧幅が狭いという欠点がある。そこで実際には、第一と第二の従来技術を組み合わせる手法、具体的には例えば全サブフィールドの中の一部（例えば第一サブフィールド）を第一の従来例による駆動波形とし、残りのサブ

フィールドを第二の従来技術による駆動波形とする手法が望ましい。

#### 【0025】

【発明が解決しようとする課題】図14は第二の従来技術の駆動波形とその壁電荷変化であり、前述の第二の従来技術における壁電荷状態の変化を説明するものである。本図では、任意のサブフレームであるSFnとその次に位置するSFn+1があり、それぞれリセット期間とアドレス期間と維持放電期間の3つの期間から構成されている。

【0026】ここで図中の『反転』は、放電前に多量の壁電荷を蓄積しており、放電後に放電前と逆極性の多量の壁電荷を蓄積すること、『消去』は放電前に多量の壁電荷を蓄積しており、放電後に壁電荷無し又は少量蓄積の状態になると、『形成』は放電前に壁電荷無し又は少量蓄積であり、放電後に多量の壁電荷を蓄積すること、『微量電荷蓄積』は、第二の従来技術にて説明したように、上下左右の点灯セルの維持放電の影響で微量の壁電荷を蓄積することを意味している。『-』は、放電を生じず、波形前後で壁電荷の変化が無いことを意味する。

【0027】またVfeは放電を開始する電極印加電圧の最小値であり、セルのばらつきやセルの壁電荷状態によって異なることが多い。『通常Vfeのセル』は、Vfeが平均的な値であるセルであり、アドレス期間において非選択の際にスキャンパルスが印加されても放電を開始しないような壁電荷状態にあるものである。すなわち通常Vfeに関して、以下の式が成り立つ。

【0028】通常 $V_{fe} > V_x - (-V_y)$

一方『低Vfeのセル』は、Vfeが平均より低いセルであり、アドレス期間において非選択であるにも関わらず、スキャンパルスが印加された時に放電を開始してしまうような壁電荷状態にあるものである。従って低Vfeに関しては以下の式が成り立つ。

【0029】低 $V_{fe} < V_x - (-V_y)$

点灯セルにおいては、サブフィールドSFnで維持放電が行われる度に壁電荷が反転し、所定の極性の壁電荷が残留したままサブフィールドSFnが終了する。後続するサブフィールドSFn+1のリセット期間では、細幅消去パルス及び鈍波消去パルスによる消去放電が行われる。この時点で壁電荷は一旦消去される。その後SFn+1のアドレス期間で選択的に壁電荷が形成され、維持放電期間で再び壁電荷反転を繰り返す。

【0030】通常Vfeの非点灯セルでは、サブフィールドSFnで維持放電を行っていないため壁電荷が残留しておらず、後続するサブフィールドSFn+1のリセット期間でも放電は行われない。引き続くアドレス期間においてもアドレス放電を行わないとすれば、その後の維持放電期間でも放電は行われない。つまり終始無放電である。

【0031】低V<sub>f</sub>eの非点灯セル（異常セル）の場合もサブフィールドSFnで維持放電を行っていないため、この時は壁電荷の残留が無い状態のはずである。しかし実際は隣接セルからの影響を受けてSFnの維持放電期間に壁電荷を徐々に蓄積する場合が有る（微量壁電荷蓄積）。第二の従来技術では、前述したように、AY消去鈍波と共にこの微量壁電荷を消去するため、微量壁電荷に起因する誤動作の防止が期待される。

【0032】しかしながらセル条件が悪いセルは、AY消去鈍波を用いても消去されないどころか、強放電を誘発して壁電荷が反転形成される場合が有ることが判明した。この後は維持放電期間での繰り返し放電に至り、非点灯セルの誤点灯となってしまうため、非点灯セルの誤点灯は、表示品質の著しい低下となる。

【0033】本発明は、前サブフィールドにおける点灯セルの選択的消去を実施するリセット期間を有するプラズマディスプレイパネルの駆動方法において、非点灯セルの誤点灯を防止できる駆動方法を提供することを目的とする。

#### 【0034】

【課題を解決するための手段】請求項1によるプラズマディスプレイパネルの駆動方法では、並行する第1および第2の電極が互いに隣接して複数配置されると共に、該第1および第2の電極に交差するように第3の電極が複数配置され、各電極の交差領域で規定される放電セルがマトリクス状に配置されてなり、複数の該放電セルの壁電荷分布を均一にするためのリセット期間と、表示データに応じて任意の放電セルに壁電荷を蓄積して点灯セルを形成するアドレス期間と、該点灯セルにおいて維持放電を実施して該点灯セルを点灯させる維持放電期間とを有し、該リセット期間、アドレス期間、及び維持放電期間を繰り返し実行することにより表示を行うプラズマディスプレイパネルの駆動方法であって、前記リセット期間は、直前の維持放電期間において非点灯であり、かつ壁電荷を蓄積している放電セルにおいて放電を実施する第一の放電工程と、前記第一の放電工程後に、壁電荷を蓄積している放電セルにおいて放電を実施し、該壁電荷を消去する第二の放電工程とを含み、前記第一の放電工程は、直前の維持放電期間において点灯した前記点灯セルに蓄積されている壁電荷と逆極性であり、放電セルにおける放電開始電圧未満で、かつ前記アドレス期間における該第1及び第2の電極間の電位差以上の電圧を、該第1及び第2の電極間に印加するものであるようとする。

【0035】第二の従来技術では、本来微量壁電荷の消去動作を行うべきAY消去鈍波で消去されず、壁電荷が形成されてしまうことが判明した。そこで請求項1に関する本発明では、消去鈍波に先立って新たな放電パルス（以降OCパルスと呼ぶ）を印加することにより、この様な異常非点灯セルに対しては一度大きく放電させ、故

意に壁電荷を蓄積させてから、点灯セルと同様の消去動作を行うようしている。

【0036】図1は、非点灯（オフ）セルのみを放電させる本発明波形の原理図である。

【0037】点灯セルは、電極印加電圧と壁電荷電圧の和により、維持放電期間中に維持放電を繰り返している。図1において、最終維持放電波形はX電極に印加されるので、維持放電期間終了時の壁電荷（図中では概念的に4個の壁電荷）はX電極にマイナス、Y電極にプラスの極性である。本発明のOCパルスは、X電極に印加する正のパルスとY電極に印加する負のパルスとを有しており、電極間の印加電圧は維持放電期間終了時の残留壁電荷によって引き下げられ、電極間電位は放電開始電圧に達しないため、OCパルスの印加による放電は生じない。

【0038】通常V<sub>f</sub>eの非点灯セルは、維持放電期間にて維持放電が行われないので通常は壁電荷が無い状態である。本発明のOCパルスによる印加電圧は、放電開始電圧未満に設定されているため、残留壁電荷による影響も存在しない通常V<sub>f</sub>eの非点灯セルは、本発明のOCパルスの印加では放電を生じない。

【0039】低V<sub>f</sub>eの非点灯セルも、維持放電期間にて維持放電が行われないので本来は壁電荷が無い状態であるが、上下左右の点灯セルの放電の影響で、微量の壁電荷（図中では概念的に1個の壁電荷）を有する場合がある。この時の壁電荷はX電極にプラス、Y電極にマイナスの極性である。本発明のOCパルスは、X電極に印加する正のパルスとY電極に印加する負のパルスとを有しており、印加電圧は維持放電期間終了時の残留壁電荷によって上乗せされる。微量の壁電荷量が多い場合、電極間電位は放電開始電圧を超えるため、本発明のOCパルスで放電が行われて壁電荷が形成される。この時点でも本セルは、通常の点灯セルとほぼ同じ壁電荷を有する事になるので、その後のリセット期間における消去放電により消去が完全に行われる。

【0040】以上の過程により、第二の従来技術で発生していた非点灯セルの誤放電を防止する事が出来る。

#### 【0041】

【発明の実施の形態】以下、本発明を適用した好適な実施形態について、図面を参照しながら詳細に説明する。

（第一の実施形態）図2は、第一の実施形態の駆動波形とその壁電荷変化を示すものである。この例は、本発明の最も基本的な波形例であり、維持放電期間と従来のリセット期間との間に本発明のOCパルス1を挿入した例である。

【0042】本実施形態では、低V<sub>f</sub>eの非点灯セルのみを放電させるOCパルス1を維持放電期間とリセット期間の間に設けている。OCパルス1は反転壁電荷の形成を目的とした矩形波状の波形であり、該波形のX電極、Y電極の電位を、それぞれアドレス期間のスキャ

パルス印加時と同一の $V_x$ 、 $-V_y$ としている。

【0043】本実施形態では、OCパルス1の印加により低 $V_{fe}$ の非点灯セルにおいて放電が生じると共に、放電後に極性の反転した壁電荷が形成される。この時点で低 $V_{fe}$ セルの壁電荷状態は点灯(オン)セルにおける壁電荷状態とほぼ同一となるため、後続する従来リセット期間での選択的な消去放電により残留壁電荷が消去される。

(第二の実施形態)図3は、第二の実施形態の駆動波形とその壁電荷変化を示すものである。

【0044】第一の実施形態では、OCパルス1による壁電荷放電後、従来リセットで残留壁電荷を完全に消去出来ないセルが、僅かではあるが存在する。従って非点灯セルに蓄積された微量壁電荷は、従来リセット前に消去される方が好ましい。

【0045】そこで本実施形態では、OCパルス2の波形を壁電荷消去を行い得る鈍波消去パルスとしたものである。この鈍波消去パルスによるX電極及びY電極の最終到達電位は、それぞれアドレス期間のスキャンパルス印加時と同一の $V_x$ 、 $-V_y$ である。

【0046】本実施形態では、「OCパルス2により消去可能なセル」と、「OCパルス2で反転してしまうが、従来リセット期間で消去するセル」の2種類に分けた動作となっている。すなわち第二の実施形態では、OCパルス2に消去機能を持たせて微量壁電荷をある程度消去し、OCパルス2で消去できずに極性の反転したセルを、従来リセット期間で消去するものである。

(第三の実施形態)図4は、第三の実施形態の駆動波形とその壁電荷変化を示すものである。

【0047】本実施形態では、OCパルス3によるX電極及びY電極の最終到達電位を、それぞれアドレス期間のスキャンパルス印加時と同一の $V_x$ 、 $-V_y$ に対し、 $\alpha$ 分だけ変化させている。例えば $\alpha$ が正の場合、スキャンパルス印加時より大きな電位差となり、逆にまた $\alpha$ が負の場合は、スキャンパルス印加時より小さな電位差となる。 $\alpha$ が正負どちらが良いかは、パネル条件や本発明のOCパルス3の傾き等により異なるが、いずれにしてもこれにより、本発明のOCパルス3の消去能力を他の実施形態のものより大きくする事が可能となる。ただし、OCパルス3による印加電圧が、セルの放電開始電圧に満たないよう設定する必要がある。印加電圧が放電開始電圧を越えていると、通常 $V_{fe}$ の非点灯セルにおいても放電が生じてしまうため、コントラストが大幅に低下してしまうからである。OCパルス3を鈍波消去パルスとしている点は、第二の実施形態と同様である。

(第四の実施形態)図5は、第四の実施形態の駆動波形とその壁電荷変化を示すものである。

【0048】本実施形態は、本発明のOCパルス4を、維持放電期間の中に挿入した例である。動作原理は第一の実施形態と同じであるが、本発明のOCパルス4にて

壁電荷形成後に1ループだけ維持放電で壁電荷反転動作を行うものである。なお、維持放電は1ループ、すなわちX及びY電極に1回ずつ維持パルスを加えるようにしているため、従来リセット開始時の残留壁電荷の極性は、第一の実施形態のものと同一となる。

【0049】第一の実施形態では、前述のようにOCパルス1による壁電荷放電後、従来リセットで完全に消去出来ないセルが僅かながら存在する。本実施形態では、OCパルス4による壁電荷形成後に一度維持放電を行い、点灯セルと全く同じ壁電荷状態にする事で、従来リセット期間での消去を完全なものとしている。なお、OCパルス4の波形自体は第一の実施形態におけるOCパルス1のものと同一である。

【0050】前述の第一～第四の実施形態における各OCパルスは、駆動波形パターンプログラムの変更のみで実施可能であり、従来技術の回路をそのまま適用出来る。具体的には、図11における駆動波形パターンROM30のデータを変更する事によって実現可能である。ただし第三の実施形態の場合は、駆動波形パターンプログラムの変更に加えて、 $V_x + \alpha$ 、 $-V_y - \alpha$ の為の新規回路が必要となる。

【0051】図6は、3電極・AC型PDPを駆動するための共通ドライバ詳細図であり、図11におけるY側共通ドライバ70とX側共通ドライバ40の具体例を示している。

【0052】本例では、Y側共通ドライバ70において、従来 $-V_y$ 鈍波を生成していた電源回路に併設して、 $-V_y - \alpha$ 鈍波用のものを設けている。同様にX側共通ドライバ40では、従来 $V_x$ 鈍波を生成していた電源回路に併設して、 $V_x + \alpha$ 鈍波用のものを設けている。

【0053】以上説明した実施形態を勘案すると、本発明の各請求項には、現在の要件に加え、さらに以下に記載する要件を追加することも可能である。

1. 前記第一の放電工程は、第1の電極に印加される第1のパルスと、第2の電極に印加される第2のパルスとを含むこと。

2. 前記第1のパルスによる印加電圧は、前記アドレス期間において該第1の電極に印加される電圧に等しく、前記第2のパルスによる印加電圧は、前記アドレス期間において第2の電極に印加される選択電位に等しいこと。

3. 前記第1及び第2のパルスは、時間と共に印加電圧の変化する鈍波パルスであること。

4. 前記第一の放電工程と前記第二の放電工程との間に、偶数回の維持放電を実施すること。

【0054】もちろん、上記1～4の要件は、現在の請求項1の主旨を限定するものではない。

【0055】

【発明の効果】以上説明したように本発明では、前サブ

フィールドにおける点灯セルの選択的消去を実施するリセット期間を有するプラズマディスプレイパネルの駆動方法において、低V<sub>f</sub>eのセルに蓄積された微量の壁電荷を確実に消去することができるため、非点灯セルの誤点灯を防止でき、表示品質を著しく向上させる事が可能となる。

## 【図面の簡単な説明】

【図1】非点灯セルのみを放電させる本発明波形の原理図である。

【図2】第一の実施形態の駆動波形とその壁電荷変化を示す図である。

【図3】第二の実施形態の駆動波形とその壁電荷変化を示す図である。

【図4】第三の実施形態の駆動波形とその壁電荷変化を示す図である。

【図5】第四の実施形態の駆動波形とその壁電荷変化を示す図である。

【図6】3電極・AC型PDPを駆動するための共通ドライバ詳細図である。

【図7】3電極・面放電・AC型PDPの概略的平面図である。

【図8】3電極・面放電・AC型PDPの概略的断面図(その1)である。

【図9】3電極・面放電・AC型PDPの概略的断面図(その2)である。

【図10】アトレス維持放電分離型、書き込みアトレース方程式のタイマチャートである

【図1電】3極駆動するPDPのY側ためのQ、Y側、通常サイクルを示す概略的プロトコル図である

【図12】第一の従来技術を示す駆動波形図である。

【図14】第二の従来技術の駆動波形とその壁電荷変化を示す図である。

## 【符号の説明】

1 パネル

2 セル

3 障壁

4 a 前面ガラス基板

4 b 背面ガラス基板

5 蛍光体

6 a 透明電極

6 b バス電極

7 誘電体層

8 MgO層

11 X電極

12 Y電極

13 アドレス電極

20 制御回路

21 表示データ制御部

211 フレームメモリ

22 パネル駆動制御部

221 スキャンドライバ制御部

222 共通ドライバ制御部

30 駆動波形パターンROM

40 X側共通ドライバ

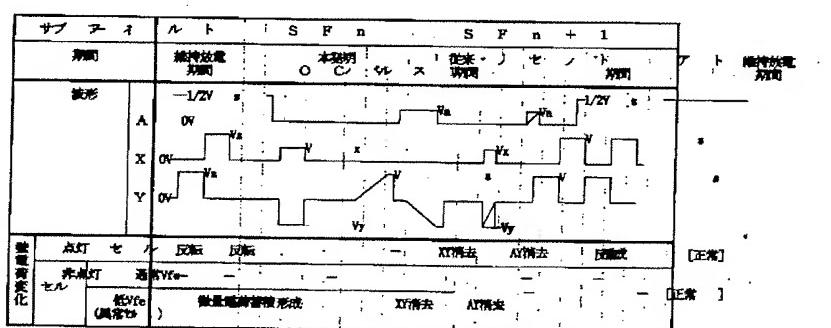
書き込みアトレースキヤノトファイ  
ス方程式のタイマチャートである

60 アトレースストライノハ

【図2】第一の実施形態の駆動波形とその壁電荷変化を示す図である。

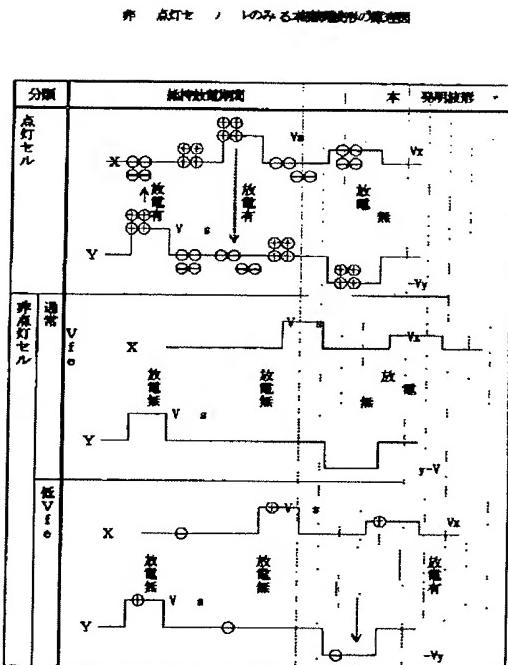
【図2】

第一の実施形態の駆動波形とその壁電荷変化を示す図である。



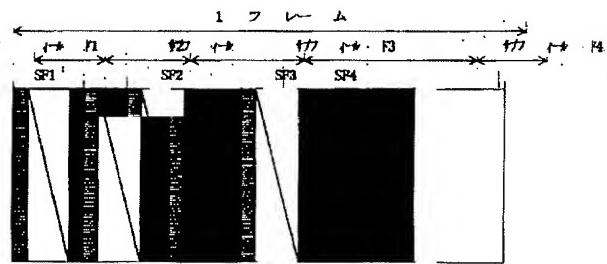
( 8 開 2 θ-0 113 9 1 0 ← P 2 0 0 1 1 6 )

【図 1】



【図 10】

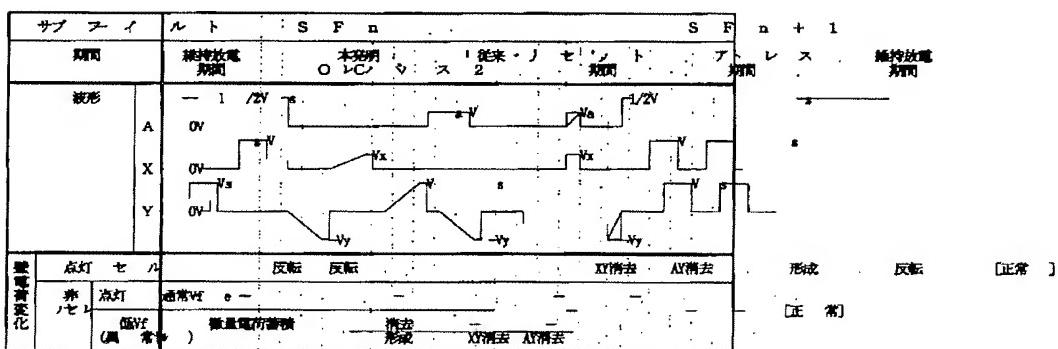
アド/持持放電分離型書き込み・アトレスター方式のタイムチャート



- リード期間： 放電を行なうセグメント電荷を全セル均一化状態にする。
- アドレス期間： 次の書き込み放電アドレスを示すフレーム選択を行う。
- 持持放電期間： \*持持放電のみを行なう。各サブフレームの持持放電回数比は、1:2:2:2である。8と7よつていい。
- 休止期間： 脱持放電を出力し、より時間（全電圧0V）。

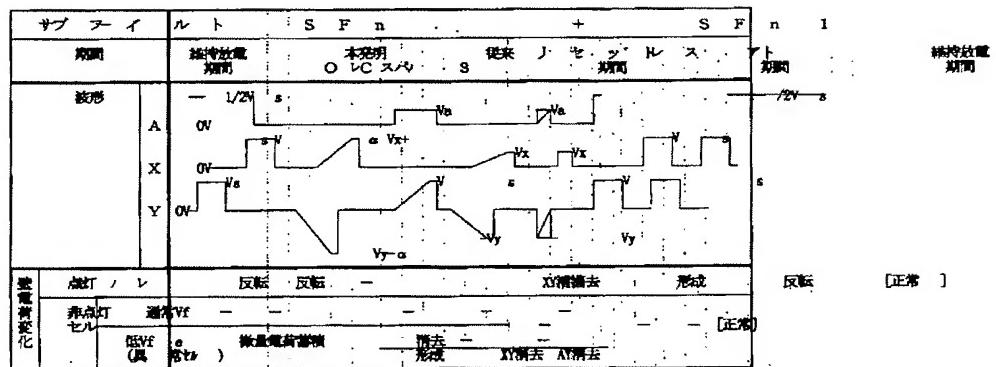
【図 3】

第二の実施形態の波形波形とその電圧変化



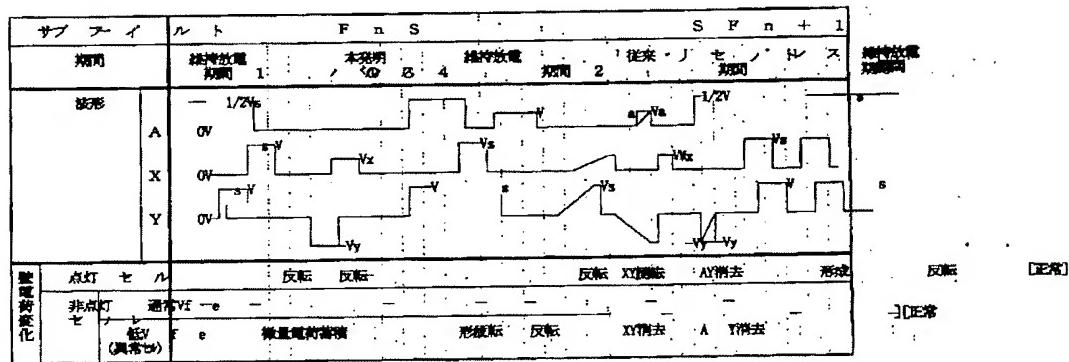
【メモ4】

## 第三の実施形態の駆動波形とその電圧変化

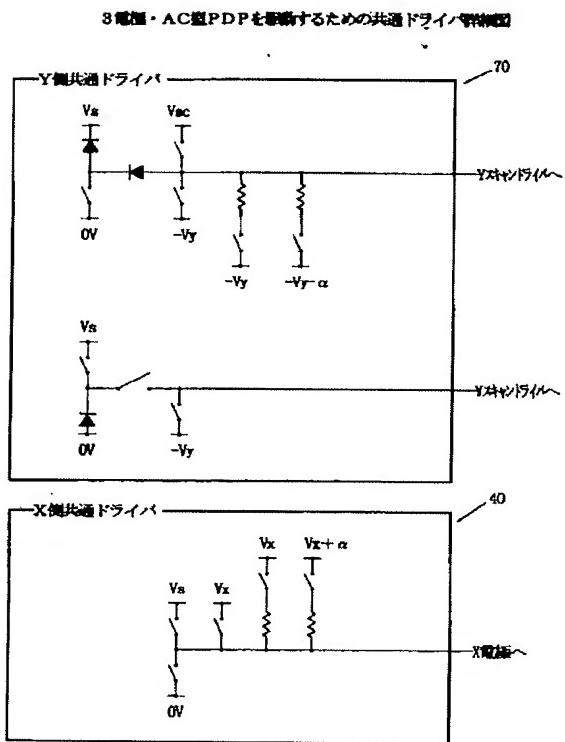


【メモ5】

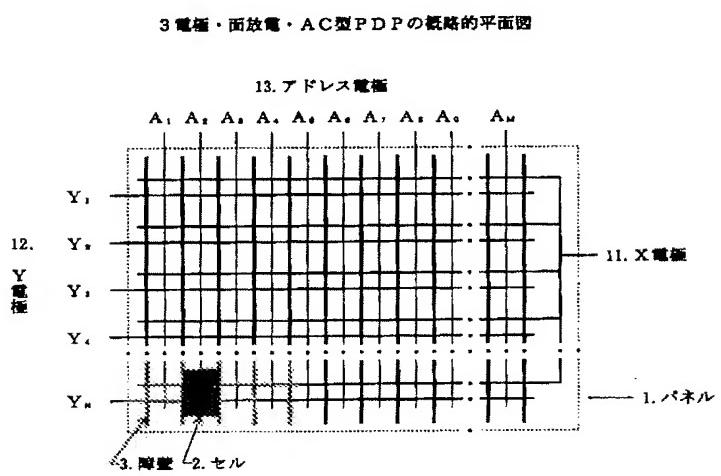
## 第四の実施形態の駆動波形とその電圧変化



【図6】

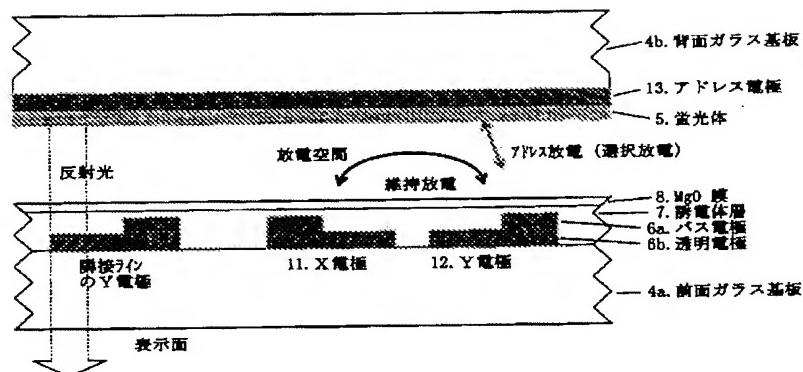


【図7】



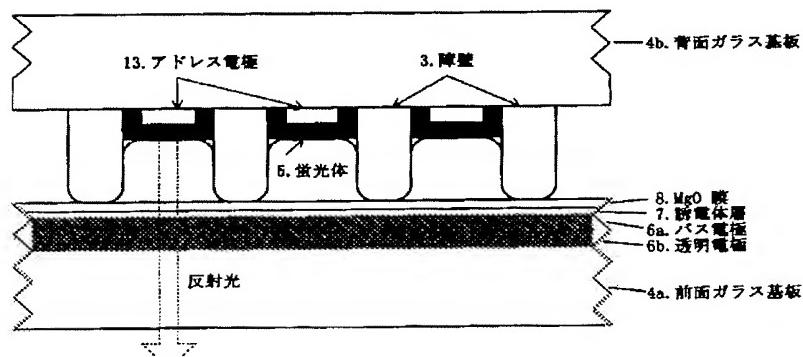
【図8】

3電極・面放電・AC型PDPの概略的断面図（その1）

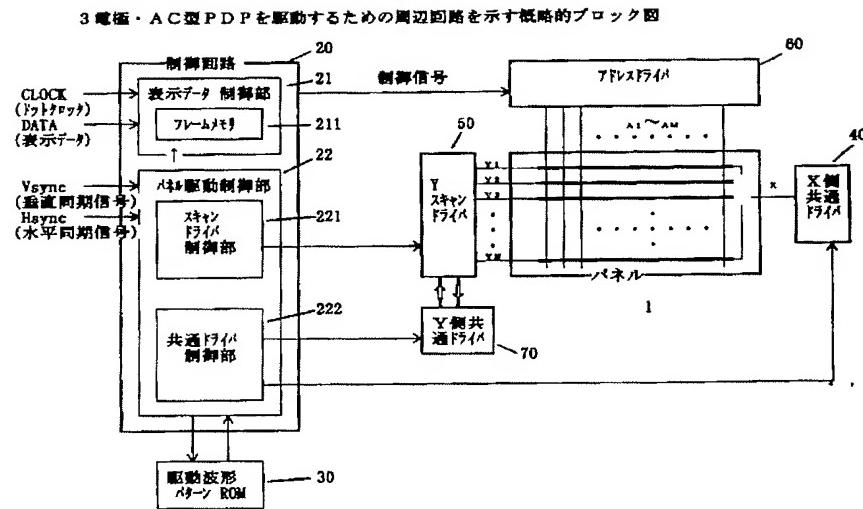


【図9】

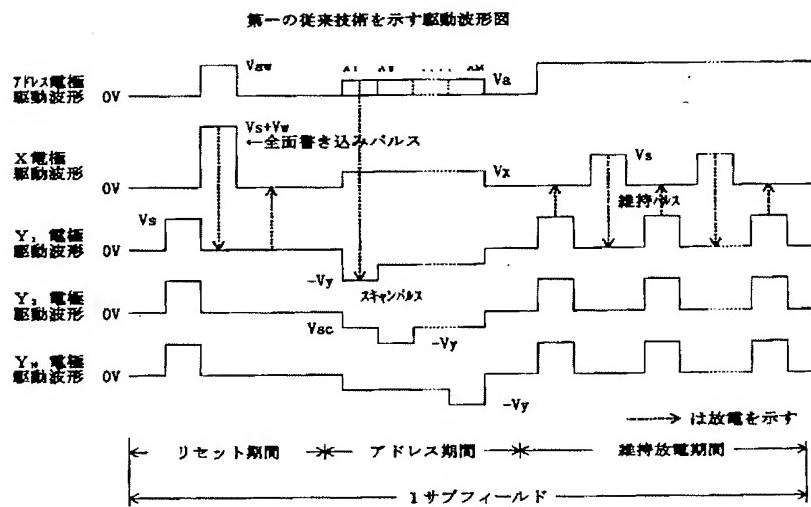
3電極・面放電・AC型PDPの概略的断面図（その2）



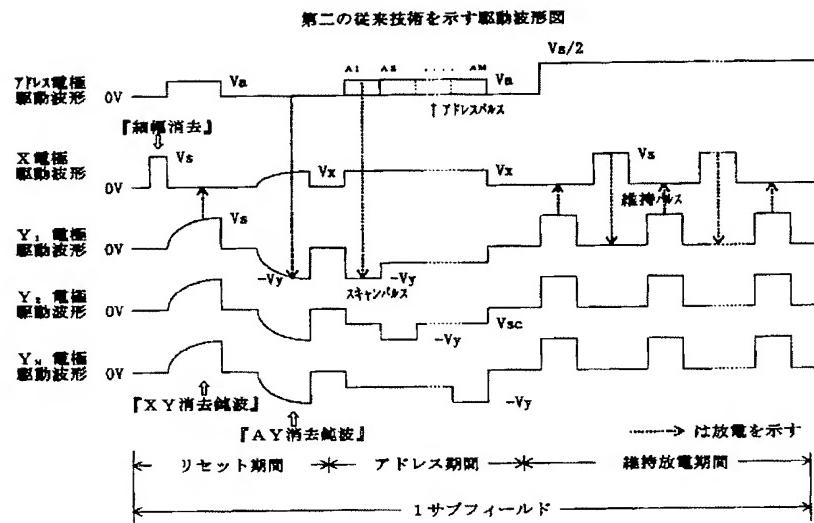
【図11】



【図12】



【図13】



【図14】

第二の従来技術の駆動波形とその電荷変化

サブフィールド		S F n	S F n + 1		
期間		維持放電 期間	リセット 期間	アドレス 期間	維持放電 期間
波形	A	-1/2V <sub>s</sub>			1/2V <sub>s</sub>
	X	0V	V <sub>s</sub>	V <sub>s</sub>	V <sub>s</sub>
	Y	0V	V <sub>s</sub>	V <sub>x</sub>	V <sub>s</sub>
電荷変化	点灯セル	反転 反転	X Y 消去	A Y 消去	形成
	非点灯 セル	通常V <sub>fe</sub>	—	—	—
	低V <sub>fe</sub> (異常セル)	数量電荷蓄積	—	形成 [誤動作]	反転 [誤動作]

フロントページの続き

(72)発明者 高森 孝宏

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内F ターム(参考) 5C080 AA05 BB05 DD03 DD09 DD30  
EE29 FF12 GG12 HH02 HH04  
JJ02 JJ03 JJ04 JJ06